컴퓨터 구조

2013210061

채윤병

Lab Session 3-1

**mux2to1.v**

module mux2to1 (A, X1, X0, X);

input A;

input X1;

input X0;

output X;

wire t0;

wire t1;

wire t2;

wire t3;

not not00 (t0, A);

not not01 (t1, t0);

and and00 (t2, t1, X1);

and and01 (t3, t0, X0);

or or00 (X, t2, t3);

endmodule

**tb4mux2to1.v**

`include "mux2to1.v"

module tb4mux2to1;

wire x;

reg a, x1,x0;

mux2to1 mux00 (a, x1, x0, x);

initial

begin

a = 0;

x1 = 0;

x0 = 0;

#5

x0 = 1;

#5

x1 = 1;

x0 = 0;

#5

x0 = 1;

#5

a = 1;

x1 = 0;

x0 = 0;

#5

x0 = 1;

#5

x1 = 1;

x0 = 0;

#5

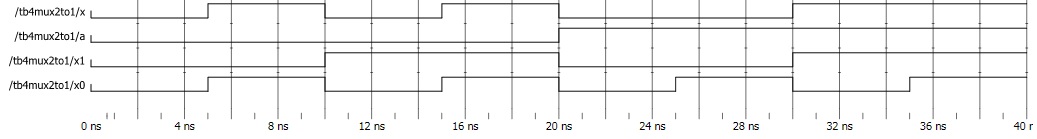
x0 = 1;

#5

$stop;

end

endmodule



Mux2to1 은 입력을 2개 받으면 하나를 출력하는 멀티플렉서 회로이다. X 값이 a로 출력될 값을 선택하며 x가 0일 경우 x0를 x가 1일 경우 x1을 a로 출력한다. 위의 그래프도 x1과 x0, x를 변화하면서 a의 값을 출력한다. 그림에서는 내가 잘못 그렸는지 16~20ns 구간에서는 내 예상과 달라졌다.